

考虑测试功耗的扫描链划分新方法

王冠军¹, 赵 莹¹, 王茂励²

(1 中国矿业大学 计算机科学与技术学院, 江苏 徐州 221116; 2 山东省计算中心, 山东 济南 250014)

摘 要: 提出考虑测试功耗的扫描链划分新方法. 首先为基于扫描设计电路的峰值测试功耗和平均功耗建模, 得出测试功耗主要由内部节点的翻转引起的结论, 因此考虑多条扫描链情况, 从输入测试集中寻找相容测试单元, 利用扫描单元的兼容性, 并考虑布局信息, 将其分配到不同的扫描链中共享测试输入向量, 多扫描链的划分应用图论方法. 在 ISCAS89 平台上的实验结果表明, 有效降低了峰值测试功耗和平均测试功耗.

关键词: 基于扫描设计; 扫描链; 测试功耗; 兼容扫描单元

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2010)01-0144-03

Scan Chain Partition New Approach Considering Test Power Reduction

WANG Guan-jun¹, ZHAO Ying¹, WANG Mao-li²

(1 Department of Computer Science and Technology, China University of Mining and Technology, Xuzhou 221116, China;

2 Computer Science Center of Shandong Province, Jinan 250014, China)

Abstract: A novel scan chain partition approach considering test power is presented. The peak test power and average test power of scan-based design circuits is modeled firstly, then the conclusion of test power are produced by the switching activity is obtained, considering the situation of multi-chain, to search the compatible cell from the input test set and make use of the compatibility of the scan cells, considering the layout information, distribute the scan cells to different scan chains, the multi-chain partition approach is based on Graph theory. The experiments on ISCAS89 benchmark show our approach's efficiency. The average test power and peak test power are reduced dramatically.

Key words: scan based design; scan chain; test power; compatible scan cell

1 引言

由于可测性设计技术可以大大降低测试功耗, 因此各种可测性设计技术得到广泛使用. 常用的可测性设计方法包括基于扫描的可测性设计方法、内建自测试方法以及插入测试点等. 基于扫描的设计是被广泛使用的 DFT 技术, 它能增强电路的可控性和可观察性. 文献[1]针对一般低测试功耗扫描结构的缺点, 提出一种普适性低功耗扫描结构. 文献[2]提出了两级扫描测试结构, 根据电路结构信息对时序单元分组, 同时减小了测试时间、测试功耗和测试数据量. 文献[3]提出了一种新颖的低功耗全扫描结构-PowerCut, 方法通过扫描单元修改, 加入传输

门实现阻隔逻辑, 大幅减少扫描移位过程中的动态功耗. 其中低功耗扫描链的设计是扫描设计的一个主要方面, 主要的技术是将原始的扫描链划分为若干条子扫描链, 以此降低电路的峰值测试功耗^[4], 而且在扫描设计中使用多扫描链技术还有助于减少测试应用时间和测试数据. 文献[5]在 SoC 设计中提出一种多扫描链的分枝定界框架, 将外壳单元和核内扫描寄存器划分至多条扫描链, 然后在每条扫描链中排序, 有效地降低了测试应用时间. 文献[6]提出一种有效的扫描链划分技术, 首先寻找相容的扫描单元, 然后划分到不同扫描链, 在路由约束下共享其它测试数据, 大大降低了测试数据量. 在上述工作的基础上, 文中提出考虑测试功耗的扫描链划分

收稿日期: 2008-12-01; 修回日期: 2009-02-15

基金项目: 国家自然科学基金项目(60273081, 69973014); 哈尔滨工程大学基础研究基金(04088)

新方法.在 ISCAS89 平台上的实验结果表明,有效降低了峰值测试功耗和平均测试功耗.

2 测试功耗建模

一般测试电路中的功耗组成如图 1 所示.

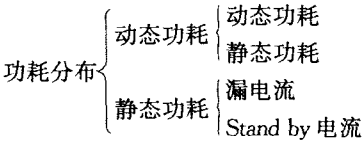


图 1 测试功耗组成

虽然随着半导体工艺的进步,芯片特征尺寸的降低,静态功耗迅速增加,但其中最主要的部分还是动态功耗,因此动态功耗降低对测试功耗优化有良好效果.电路中单个结点在任意时钟控制步 c 的功耗消耗为:

$$P_c = \sum_{i=1}^{R_c} (\alpha_{i,c} c_{i,c} V_{i,c}^2 f_c)$$

电路中所有时钟周期中峰值功耗(P_{peak}) 和平均功耗(P_{av}) 消耗可以表示为:

$$P_{peak} = \text{Max}(P_c) \forall c = 1, 2, \dots, N$$
$$= \text{Max}(\sum_{i=1}^{R_c} \alpha_{i,c} c_{i,c} V_{i,c}^2 f_c) \forall c = 1, 2, \dots, N$$

$$P_{av} = \frac{1}{N} \sum_{i=1}^N (\sum_{c=1}^{R_c} \alpha_{i,c} C_{i,c} V_{i,c}^2 f_c)$$

其中, R_c 为时钟周期 C 内活动资源数目, $\alpha_{i,c}$ 为时钟周期 C 内操作 O_i 对资源 i 的开关活动. $C_{i,c}$ 为时钟周期 C 内操作 O_i 对资源 i 的负载电容. $V_{i,c}$ 为时钟周期 C 内操作 O_i 对资源 i 的测试作用电压. N 为时钟周期数.

由上面可以看出,动态功耗主要取决于系统电源电压、节点电容及节点电平的翻转概率,由于条件限制,一般在测试过程中降低测试功耗的很重要的方法就是降低电路内部节点的翻转频率.降低节点的翻转频率就要从测试结构和测试向量两方面进行优化.文中主要从测试结构出发,考虑多扫描链划分的方法来降低测试功耗.

3 考虑测试功耗的扫描链划分新方法

在提出扫描链划分方法前先给出两个定义:

定义 1 (兼容测试向量列) 称两个测试向量列是兼容的当且仅当两列向量的对应位相同. 其中 X 代表任意值 (0 或 1) 例如: 1001X101 和 10X10X0X 是兼容的, 0101X101 和 11X1010X 是不兼容的.

定义 2 (兼容扫描单元) 兼容的扫描单元定义为它们接受的输入测试向量是兼容的.

扫描链划分的基本思想如图 2、图 3 所示. 其中输入测试向量为 6 个,扫描链由 12 个测试扫描单元组成,由图中可以得出 {1,4,6,8} 是兼容的, {2,7,10,12} 是兼容的, {3,5,9,11} 是兼容的. 因此将兼容的扫描单元分配到不同的四条扫描链中,就可以共享测试输入数据,减少平均和峰值功耗的消耗.

扫描单元	1	2	3	4	5	6	7	8	9	10	11	12
t1	0	X	1	0	X	0	X	X	1	1	X	1
t2	X	X	X	1	0	1	0	1	X	0	0	X
t3	0	1	0	X	0	X	1	0	X	X	0	X
t4	X	X	0	1	X	X	0	1	0	0	0	0
t5	0	1	X	X	1	0	1	0	1	X	X	1
t6	1	1	X	1	0	X	X	X	0	1	0	1

图 2 初始输入测试向量和扫描单元

扫描单元	1	4	6	8	3	5	9	11	2	7	10	12
t1	0	0	0	X	1	X	1	X	X	X	1	1
t2	X	1	1	1	X	0	X	0	X	0	0	X
t3	0	X	X	0	0	0	X	0	1	1	X	X
t4	X	1	X	1	0	X	0	0	X	0	0	0
t5	0	X	0	0	X	1	1	X	1	1	X	1
t6	1	1	X	X	X	0	0	0	1	X	1	1

图 3 划分扫描单元兼容组

多扫描链划分可定义为:给定一个长度为 K 的扫描链,考虑扫描单元的布局 and 兼容情况划分为多条扫描链,以此来降低测试时间和测试功耗.不同于文献[7]先划分单扫描链至多个小扫描链,然后再利用重排序算法在每条小扫描链中减少翻转的方法和文献[8]利用测试向量集中 0 和 1 分布特点来划分扫描链的方法.文中的划分方法一次完成,减少了其中的计算消耗,应用图论方法,只需要较小的时间复杂度.首先给出多扫描链划分算法如表 1 所示.

表 1 多扫描链划分算法

算法输入: 输入测试向量集
Step1: 利用异或运算,在输入测试向量中计算兼容测试向量列;
Step2: 通过兼容测试向量列,计算兼容扫描单元;
Step3: 构造扫描链图,计算初始 $G_{MS}(P)$;
Step4: 考虑布局信息和兼容扫描单元,利用图论方法,划分多条扫描链;
Step5: 判断优化效果,如不能满足约束条件则转 Step4;
Step6: 共享扫描输入测试向量,输出划分结果.
算法输出: 划分的测试扫描链

其中兼容测试向量列的计算较为简便,直接采

用测试向量列异或运算,如果结果为 0,即为兼容测试向量列,否则不兼容.如果扫描单元的输入测试向量为兼容测试向量列,那么这两个扫描单元即为兼容扫描单元.算法中的核心问题是多条扫描链的划分方法,文中巧妙的应用图划分的方法进行解决.因此问题可定义为:将单扫描链映射为无向权图 $G(V,E)$,其中 V 代表测试扫描单元, E 代表扫描单元之间的连接关系.其中一个扫描链连接的示意图如图 4 所示^[7].

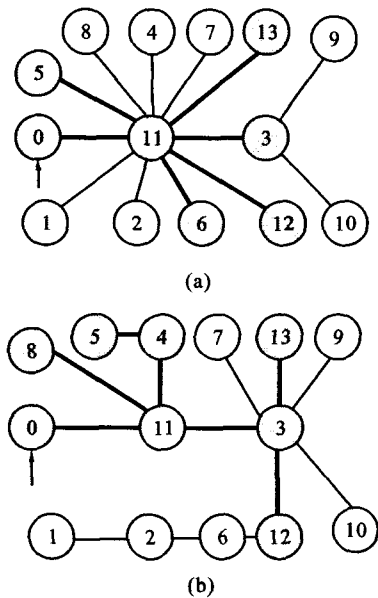


图 4 扫描链图示例

问题的目的是考虑布局信息和兼容扫描单元,通过图划分得到多个子图,即存在一个划分方案 P 把图 G 平均划分成 K 个子集 $P_1, P_2, \dots, P_k$ (即为 K 个扫描链),并使得 $G_{MS}(P)$ 的值最小,其中 P_i, P_j 为 V 的两个子集, $W_e(P_i, P_j)$ 为两顶点分别在 P_i, P_j 中的边权值之和,边权重由扫描单元发生翻转的概率决定. $G_{MS}(P) = W_e(P_i, P_j) + P_{av} + P_{peak}$ 为划分成多扫描链后的功耗消耗和边权值的和.这也决定了优化过程是个递归的过程,这个问题就是著名的图路平衡划分问题.由此文中算法就把多扫描链划分问题转化成 K 路平衡图划分问题.由于它已经被证明为 NP 完全问题,人们研究了多种启发式划分算法解决该问题.实现中,选用了利用了 Gröbner 基图划分方法,并且在 Maple10 中实现了子图的划分,主要使用图网络和 Gröbner 基的 Gröbner 软件包,取得了较好的效果.

4 实验结果

针对文中提出的方法,为了验证方法的有效性,

选取了一些典型的实验电路.电路的模拟均在 ISCAS89 平台上进行,扫描单元数从几十个到上千个不等,划分的扫描链数目在 3 个到 5 个之间,实验结果如表 2 所示.可以看出:多扫描链划分带来的功耗降低非常明显(平均功耗 P_{av} 降低 28.67%,峰值功耗 P_{peak} 平均降低 32.83%),对测试数据量的优化效果也是令人满意的(功耗和测试数据量的比较都是相比单扫描链而言).

表 2 典型电路实验结果

电路名称	扫描单元数	扫描链个数	P_{av} 降低	P_{peak} 降低	测试数据量
S349	15	3	31%	39%	15%
S444	21	3	27%	37%	12%
S5378	179	5	42%	46%	21%
S15850	597	4	20%	18%	24%
S13207	669	4	22%	24%	25%
S38584	1452	4	30%	33%	27%

从扫描链划分个数的结果选取了电路 S38584,从得出的扫描链划分的效果可以看出:当扫描链个数 $N=4$ 时,得到功耗优化效果最优,随着扫描链个数的增加,相应的测试消耗开始加大,抵消了多扫描链带来的功耗优化.从实际的电路模拟还可以得到测试数据量会随着扫描链个数的增加而逐渐减少,但是同样因为功耗的增加,而变得得不偿失,因此合适的扫描链个数对于测试功耗的降低至关重要,这在实验中也得到了证明.

5 结束语

随着测试功耗约束的不断提高,对测试扫描技术提出了新的要求,基于此提出考虑测试功耗的扫描链划分新方法,方法首先为基于扫描设计电路的峰值测试功耗和平均功耗建模,得出测试功耗主要由内部节点的翻转引起的结论,因此考虑多条扫描链情况,从输入测试集中寻找相容测试单元,利用扫描单元的兼容性,并考虑布局信息,提出多扫描链划分算法,并且巧妙的将多扫描链划分转化为图划分问题.相对于传统数据链划分算法划分,质量有了明显改善.在 ISCAS89 平台的实验结果表明,有效降低了峰值测试功耗和平均测试功耗.进一步工作集中在提高电路面积和性能的优化上.

参考文献:

[1] 徐磊,孙义和. 基于扫描的低测试功耗结构设计[J]. 计算机研究与发展, 2001, 38(12): 1423-1428.

个二维图形,在三维场景中播放飞行路径的同时,用户可以在此观看行走物体在整个大场景中的宏观位置.该模块虽然实现的功能非常有限,但却构建了网络三维 GIS 系统的主要框架,并且解决了网络三维 GIS 中的主要技术难题.所以它可以作为大型网络三维 GIS 的一个系统原型,为开发大型复杂的网络三维 GIS 平台打下良好的基础.

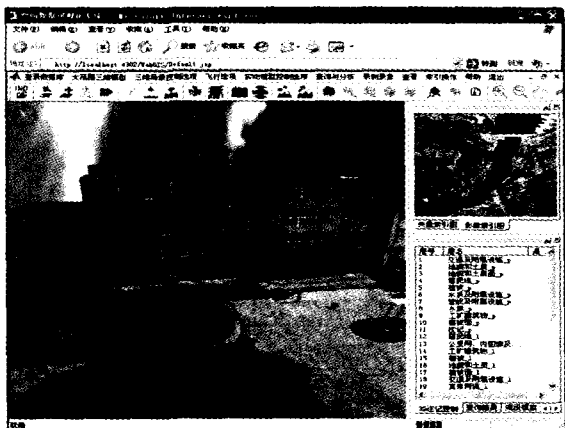


图 3 模型加载系统运行界面

6 结束语

空间数据可视化是空间信息技术的核心与发展前沿,是 3D GIS 研究的切入点和重要研究内容.文

中提出了基于结点的面向对象空间数据模型,该模型很容易与应用 LOD,空间分割,网络渐进传输算法结合,在网络环境下具有极高的浏览速度;并设计了一个有效的空间数据可视化体系结构,该体系结构在海量空间数据的组织、管理、传输和显示上有了突破,实现了 Web 环境下的空间数据可视化.

参考文献:

- [1] 张默,廖湖声,杜金莲. 基于 Web 服务的开放式地理信息系统的研究[J]. 微电子学与计算机, 2006, 23(21): 98 - 100.
- [2] 游晓明,刘升,陈传波. 基于 UML 的地理数据模型研究[J]. 微电子学与计算机, 2004, 21(5): 90 - 92.
- [3] 张立强,张燕,杨崇俊,等. 网络环境下三维可视化信息系统的的方法研究[J]. 中国科学: D 辑地球科学, 2005, 35(6): 511 - 518.
- [4] 周文生,毛锋,胡鹏. 开放式 WebGIS 的理论与实践[M]. 北京: 科学出版社, 2007.
- [5] 史文中,吴立新,李清泉,等. 三维空间信息系统模型与算法[M]. 北京: 电子工业出版社, 2007.

作者简介:

彭纪奎 男, (1982 -), 硕士研究生. 研究方向为 WebGIS.

胡平 男, (1962 -), 副教授, 硕士生导师. 研究方向为计算智能、计算机网络技术.

(上接第 146 页)

- [2] 向东,李开伟. 低成本的两级扫描测试结构[J]. 计算机学报, 2006, 29(5): 786 - 791.
- [3] 王伟,韩银和,胡瑜,等. 一种有效的低扫描测试结构 PowerCut[J]. 计算机研究与发展, 2007, 44(3): 473 - 478.
- [4] Bonhomme Y, Girard P, Guiller L, et al. A gated clock scheme for low power scan testing of logic ICs or embedded cores[C]//Proceedings of IEEE Asian Test Symposium. Japan, Kyoto, 2001: 253 - 258P.
- [5] Quasem M S, Gupta S. Designing multiple scan chains for systems - on - chip[C] Test Symposium, ATS 2003. Asian, 2003: 424 - 427.
- [6] Geewhun Seok, Il - Soo Lee, Ambler T. An efficient scan chain partitioning scheme with reduction of test data under routing constraint[C]//Defect and Fault Tolerance in VL-

SI Systems, DFT '06. USA: Washington DC: 145 - 156.

- [7] Ghosh D, Bhunia S, Roy K. Multiple scan chain design technique for power reduction during test application in BIST[C]//Defect and Fault Tolerance in VLSI Systems, Proceedings 18th IEEE International Symposium. USA: West Lafayette, 2003: 191 - 198.
- [8] Sying Jyan Wang, Shih Cheng Chen, Katherine Shu min Li. Design and analysis of skewed - distribution scan chain partition for improved test data compression[C]// Circuits and Systems. Taiwan, taichung: Chung-Hsing University, ISCAS IEEE International, 2008: 2641 - 2644.

作者简介:

王冠军 男, (1981 -), 博士研究生. 研究方向为高级综合、低功耗技术.